

Periferní operace využívající přerušeni

Základní pojmy – proč přerušeni?

- PZ jsou ve velké většině případů elektromechanická zařízení.
- Mechanická část - vlastní realizace periferní operace (provádí se asynchronně a autonomně, tzn. bez pozornosti procesoru a je řízena řadičem PZ):
 - tiskárna - tisk znaku/řádku,
 - HDD - vystavení hlav, zápis sektoru.
 - Obojí činnosti probíhají autonomně.
- Výstupní periferní operace pak sestává z těchto fází:
 - přenos dat z adaptéru (počítače) do řadiče PZ,
 - realizace periferní operace (tisk řádku, zápis sektoru/více sektorů).

- Od těchto principů se odvíjí potřebná velikost **vyrovnávací paměti**:
tiskárna - vyrovnávací paměť má velikost **jednoho řádku/jedné strany**.
HDD - vyrovnávací paměť má kapacitu jednoho sektoru/více sektorů.
- Pojem vyrovnávací paměti:
Vyrovnávací paměť "vyrovnává" rozdíl v rychlosti zařízení komunikujících mezi sebou.
- **Mechanická část periferní operace se provádí autonomně, tzn. bez řízení počítačem => po skončení periferní operace je třeba o tom informovat počítač => PŘERUŠENÍ generované po ukončení periferní operace.**
- Po vzniku přerušeni musí počítač zjistit, jak proběhla periferní operace, tzn. zajistit **přenos informace o stavu PZ** (stavové slabiky z PZ) a **její analýzu**.

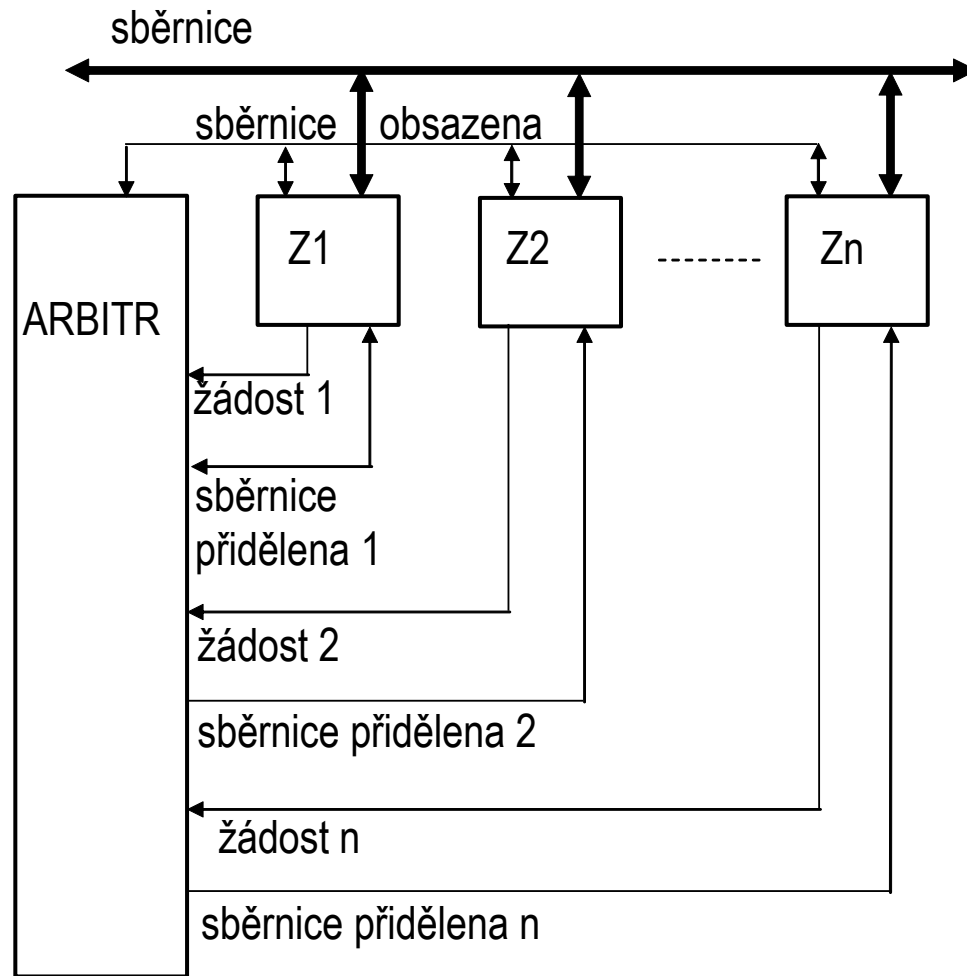
- Pokud periferní operace neproběhla úspěšně, pak může následovat přenos **slabik závad**, které blíže identifikují stav zařízení (v tomto případě chybový stav).
- Pojem slabik(y) závad:
 - 8, 16, více bitové informace (souvisí se šířkou V/V sběrnice) obsahující upřesňující informaci o typu závady, k níž během periferní operace došlo.
 - Tyto informace se posílají z PZ do počítače na základě příkazu **OHLAŠ ZÁVADY** (v terminologii počítačů 3. generace – IBM 360 byl zaveden pojem příkaz **SENSE**).
 - Periferní zařízení vytvářejí **různý počet slabik závad** (souvisí s jejich složitostí).
 - Pevný disk: složité elektromechanické zařízení - vyšší počet slabik závad (10 - 20).

- Tiskárna komunikující přes rozhraní Centronics: upřesňující informace o typu závady jsou trvale přístupné na rozhraní (signály rozhraní Centronics): **BUSY, SELECT, ACKNOWLEDGE, ERROR, PAPER END.**
- Posloupnost činností:
 - Periferní zařízení ukončilo periferní operaci a generovalo žádost o přerušení.
 - Součástí obsluhy přerušení bude i zjištění stavu PZ.
 - Do počítače se přenese stavová slabika, která indikuje většinou pouze jedním bitem, zda došlo při provádění periferní operace k poruše (bit **ANY ERROR**).
 - Počítač přijme stavovou slabiku a analyzuje ji. Jakmile identifikuje ve stavové slabice bit **ANY ERROR**, generuje pro PZ příkaz **OHLAŠ ZÁVADY**. Jeho provedení znamená přenos předepsaného počtu slabik závad do počítače.

- Po přenosu do počítače jsou slabiky závad počítačem analyzovány (tzn. zjistí se přesně typ závady) a je podána zpráva operátorovi o typu závady.
- Přerušeni může sloužit také (kromě vstupu/výstupu dat) k synchronizaci programu a vnějších událostí a k okamžité reakci procesoru na důležitou stavovou změnu mimo procesor.
- **Zobecnění:** zjišťování stavu PZ a jeho řadiče je důležitou a nedílnou součástí každé periferní operace. Provádí se vždy před zahájením periferní operace a po jejím skončení.

Co znamená obsluha V/V přerušeni pro konstrukci počítače:

- Pro tuto alternativu musí být v počítači **hardwarová i softwarová podpora**.
- Hardwarová podpora:
 - Součástí řadiče musí být obvody, které po skončení periferní operace **generují požadavek** na přerušeni činnosti procesoru.
 - Tyto obvody musí být schopny ze strany PZ (přes V/V rozhraní/sběrnici) **identifikovat ukončení periferní operace**, na stranu počítače musí být schopny generovat "**žádost o přerušeni**" (signál je často označován jako IRQ), který bude dále zpracován, (přenesen přes sběrnici na vstup řadiče přerušeni).
 - Řadič přerušeni: **sdrůžuje** požadavky od řadičů PZ (minimalizuje se tak počet vývodů pouzdra procesoru), **vybírã přerušeni**, které bude obslouženo – na základě priorit) – **funguje jako arbitr**, přerušeni **předzpracovává** do jednotné formy společné pro všechny řadiče PZ – zjednodušeni činnosti procesoru.



Obečné schéma počítače s arbitrem rozhodujícím o přidělení prostředků

- Na systémové sběrnici (jejím konektoru) musí být k dispozici dostatečný počet pozic pro přenos žádostí o přerušení (IRQ) z řadičů do počítače.
- Řadič přerušení je fyzicky umístěn co nejbližší procesoru (např. na systémové desce).
- Na vstup řadiče přerušení musí být **přivedeny požadavky od všech možných zdrojů** => je potřeba všechny **žádosti** správně **identifikovat** a vybrat takový, který má nejvyšší prioritu.
- Řadič přerušení musí být s procesorem propojen, pro toto propojení musí být definován **komunikační protokol** - v dřívějších typech PC to bylo dvěma signály - INT, INTA.
- Tento protokol existoval i v PC na bázi procesorů Pentium.
- Odlišnosti mezi modely – ve způsobu generování odpovědi, tzn. signálu INTA.

- Výsledkem této komunikace musí být jednoznačná **identifikace přerušení**, které bude obslouženo (to, které má **nejvyšší prioritu**) a **předání této identifikace do procesoru**.
- Možnosti identifikace:
 1. Předání **instrukce skoku** na první instrukci obslužné rutiny.
 2. Předání **adresy první instrukce** obslužné rutiny do procesoru.
 3. Předání **vektoru přerušení** (ukazatele do tabulky přerušovacích vektorů).
- Použití vektoru přerušení – pružný způsob, jak tento problém řešit – řešení, které bylo přijato v koncepci procesorů Intel.
- Technologie Intel - výsledkem komunikace je předání 8 bitového **vektoru přerušení** z řadiče přerušení do procesoru, které po vynásobení 4 představuje odkaz do **tabulky přerušovacích vektorů**.
- Přerušení musí být tzv. **maskovatelné**, tzn. je možné je **programově zakázat**.

- Softwarová podpora:
 - Pro každé přerušení musí existovat obslužná rutina, která se spouští jednotným způsobem.
 - Výsledek uplatnění těchto principů: přerušení od vstup/výstupní operace a programové přerušení – od instrukce INT X – se zpracovávají stejným způsobem od jistého bodu zpracování.
 - V obou případech je výsledkem odkaz do **tabulky přerušovacích vektorů**.
 - INT X – číslo X je odkazem do tabulky přerušovacích vektorů.
 - Přerušení od vstupu/výstupu – vektor přerušení odeslaný z řadiče přerušení do procesoru (8 bitů) reflektující X (signál IRQ X) – jedna z možností, jak informovat procesor o **vzniku žádosti o přerušení**.

Příklad:

Adresa

0

255



IRQ 0

IRQ 1

Segment – 2 sl.

Offset – 2 sl.

- Pro každé přerušení je potřeba mít k dispozici 4 slabiky, přerušení je celkem 256 => **velikost tabulky přerušovacích vektorů je 1024 slabik.**

Zobecnění pojmu přerušení

- Přerušení řeší situace, kdy probíhá nějaká činnost v procesoru a současně je realizována autonomně činnost jiná, např. periferní operace.
- Obě tyto činnosti probíhají asynchronně.
- Procesor není po dobu provádění periferní operace informován o stavu periferní operace.

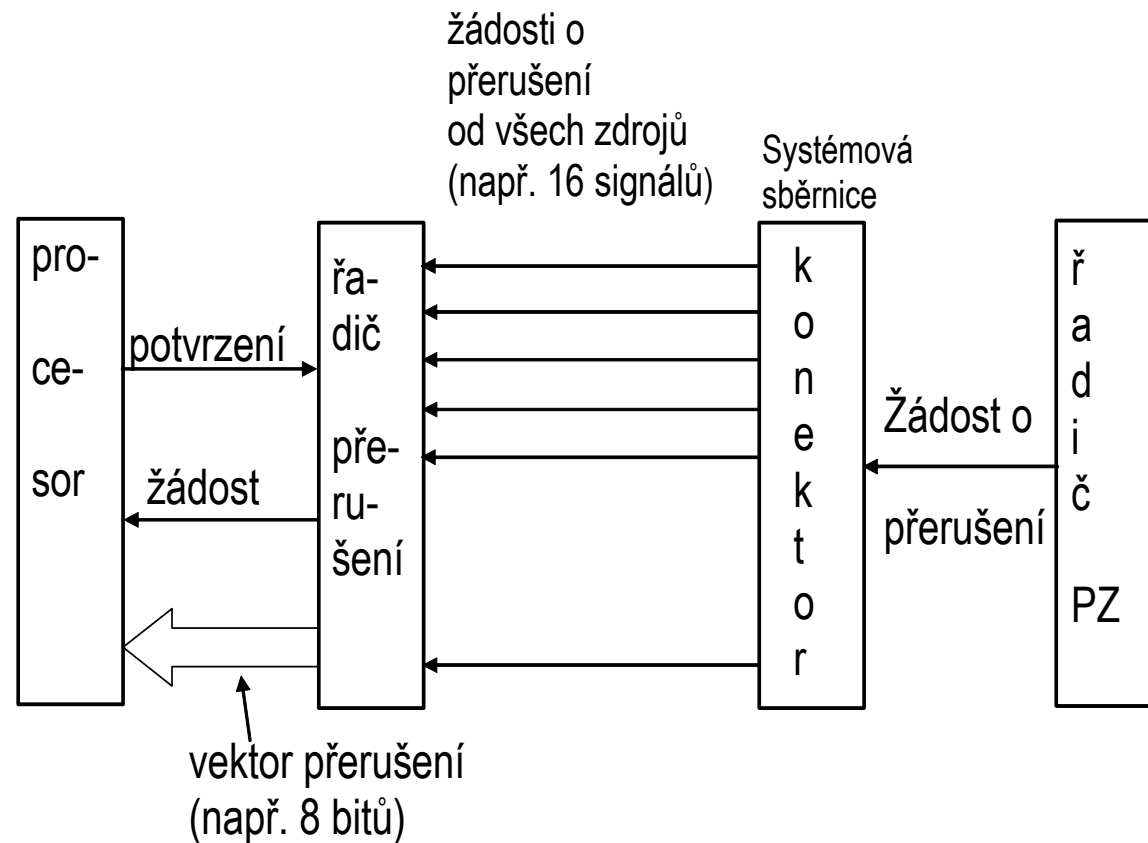
Role zásobníkové paměti při obsluze přerušení:

- V okamžiku vzniku přerušení se musí uložit údaje o právě běžícím programu – návratová adresa, informace uložená v důležitých registrech.
- Tato informace se může uložit do **zásobníkové paměti**, příp. **registrů** (u procesorů RISC jsou to tzv. **sady registrů**, mezi nimiž se přepíná) nebo **paměti**.

Zpoždění vznikající při obsluze přerušení (interrupt latency)

- Zpoždění mezi okamžiky **vzniku potřeby přerušení a zahájení obslužné rutiny.**
- Okamžik **vzniku potřeby přerušení** - naplnění vyrovnávací paměti daty přečtenými z disku, je nutné tato data přenést do paměti.
- **Zahájení obslužné rutiny** - závisí velmi výrazně na tom, jak je počítač hardwarově i softwarově vybaven.
- Zpoždění je velmi důležité u **aplikací pracujících v reálném čase.**
- Velikost zpoždění je ovlivněna:
 - Dobou potřebnou k tomu, aby procesor získal informaci o tom, **že vzniklo přerušení.**
 - Dobou potřebnou **pro ukončení právě prováděné instrukce.**
 - Dobou potřebnou pro **uložení informace o právě probíhajícím programu.**

- Dobou potřebnou pro **přenesení vektoru přerušeni**.
- Dobou potřebnou pro to, aby procesor přešel na **provádění obslužné rutiny přerušeni**.



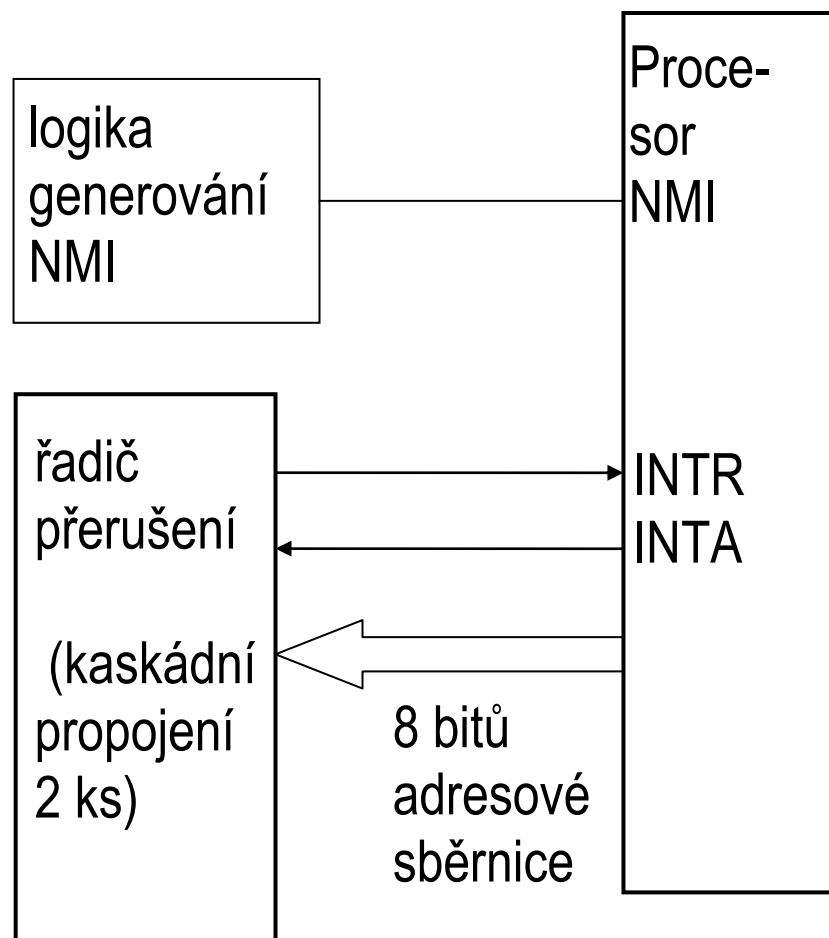
Obr. 1 Struktura podílející se na vzniku a obsluze přerušeni

- Otázky, které existují:
 - **Podmínky ukončení periferní operace řadičem**, tzn. stav, kdy řadič PZ generuje do systémové sběrnice (konektoru) **žádost o přerušení**:
Disk – naplnění (čtení dat z disku) / vyprázdnění (zápis obsahu vyrovnávací paměti v řadiči diskové paměti na disk).
Tiskárna – vytištění obsahu vyrovnávací paměti.
Obecně: **ukončení autonomně prováděné periferní operace**.
 - **Vybavení systémové sběrnice** pro obsluhu periferních operací s pomocí přerušení:
Signály, které jsou ve sběrnici k dispozici **pro generování přerušení**.
U jednotlivých typů systémových sběrnic jsou tyto mechanismy velmi podobné.

Možná implementace těchto principů v systémové sběrnici

- **Adaptér PZ** generuje signál IRQx.
- Přes **konektor sběrnice** se přenášejí signály od všech adaptérů na **systémovou desku** na vstup **řadiče přerušení**.
- **Řadič přerušení** soustřeďuje požadavky na přerušení od všech adaptérů.
- S **procesorem** komunikuje signály např. INT, INTA, signál INT je veden na vstup procesoru.
- Pozitivum: pokud by nebyl do architektury zařazen řadič přerušení, musely by být všechny signály „požadavek na přerušení“ vedeny přímo na vstupy procesoru (byl by potřeba větší počet vývodů pouzdra procesoru). Řadič přerušení tyto žádosti předzpracovává.

Realizace přerušovacího systému v PC



- Příklad - dva vstupy žádosti o přerušení:
NMI - nemaskovatelné přerušení (nemaskovatelný je tento vstup pouze uvnitř procesoru).
Je generováno logikou, jejíž výstup vede na vstup **NMI** procesoru.
Logika signálu **NMI**:
 - Přerušení **NMI** se nastavuje od problémů typu „chyba parity paměti“ – signál **PCK** nebo od signálu **IO CHCK**, který indikuje problém na externím adaptéru (např. chybu parity paměti instalované na externím adaptéru nebo chybu parity vnitřní sběrnice na externím adaptéru).
 - Možnost **externího maskování** signálu **NMI** – od bitu 7 datové sběrnice.

INTR - je generován řadiči přerušení řazenými kaskádně.

- 12 vstupů řadiče přerušení je přístupných na konektoru V/V kanálu.
- Zbývající jsou použity jako žádosti z podsystémů systémové desky (IRQ0 - žádost časovače 0, IRQ1 - adaptér klávesnice, IRQ13 - koprocessor).
- Komunikace mezi procesorem a řadičem přerušení se odehrává klasicky, tzn. pomocí signálů **INTR** a **INTA**.

PC na bázi vyšších typů procesorů

- Procesory nemají vyveden do pouzdra signál **INTA** mají však vstup **INTR** (tzn. žádost o přerušení od řadiče přerušení) .
- Do komunikace mezi procesorem a řadičem přerušení je vložen řadič sběrnice – trend odlehčení procesoru.

- Procesor komunikuje s řadičem sběrnice pomocí signálů **W/-R**, **D/-C**, **M/-IO**, z nich řadič sběrnice generuje tzv. sběrnicevé cykly, jedním z nich je cyklus sběrnice pro **potvrzení signálu INTA** => signál **INTA** není generován procesorem ale řadičem sběrnice.
- Komunikace se odehrává mezi řadičem sběrnice a řadičem přerušení.
- Procesor komunikuje s řadičem přerušení pomocí cyklu sběrnice pro **potvrzení signálu INTA** generovaný řadičem sběrnice.
- Sběrnicevé cykly jsou odvozeny od signálů **W/-R**, **D/-C**, **M/-IO** generované procesorem.
- Od těchto signálů se odvozují také signály pro zápis/čtení do/z registrů a pamětí na externích adaptérech – **IOR**, **IOW**, **MEMR**, **MEMW**.
- Signály **W/-R**, **D/-C**, **M/-IO** jsou přítomny na pouzdře procesoru.

Programová přerušení

- Je vyvoláno instrukcí **INT n**.
- Ukazatel do tabulky vektorů přerušení - podle konkrétní hodnoty n.
- Příklad: n = 1AH => adresa je 104 (1AH = 26).

Tabulka přerušovacích vektorů

- Je využívána při obou typech přerušení.
- Příklad: 1 kB paměti RAM, začíná na nejnižších adresách paměti, obsahuje 256 čtyřbajtových položek (= 1 kB).
- Tyto položky představují adresy obslužných programů pro podporovaná přerušení (ve tvaru segment : offset) => může být obslouženo maximálně 256 různých přerušení.
- Z těchto čtyř slabik vytvoří procesor ukazatel na obslužný program přerušení.

Řadič přerušení

- Kaskádní řazení jednotlivých řadičů (2 řadiče) - zvětšení počtu přerušovacích vstupů.
- Vnitřní registry:
 - Vstupní registr IRR** - do něj jsou zachycovány žádosti o přerušení.
 - Maskovací registr IMR** - "1" zapsaná v patřičném bitě maskuje odpovídající žádost a systém na ni nebude reagovat.
 - Registr žádostí v obsluze ISR** - odráží úroveň přerušení, která je právě obsluhována mikroprocesorem.
- Řadič můžeme naprogramovat do různých režimů změny priority, k čemuž se používají **řídící registry**.

Činnost obslužného programu:

1. uloží obsah registru příznaků FLAGS do zásobníku,
2. vynuluje příznak povolení přerušení v registru FLAGS,
3. začne vykonávat obslužný program přerušení,
4. obslužný program musí uchovat obsahy všech registrů, které použije a při svém ukončení je obnovit,
5. ukončení obslužného programu - instrukce IRET, ta obnoví obsah registru FLAGS ze zásobníku (se současným povolením příznaku povolení přerušení).
6. Vykonávání přerušného programu pak pokračuje tam, kde skončilo.

Posloupnost činností předcházející spuštění obslužného programu

- Jde o činnosti, které začínají vznikem přerušovací události a končí zápisem vektoru adresy obsluhy přerušení do adresového registru paměti, která poskytne první instrukci obslužného programu.
- V tabulce přerušovacích vektorů je třeba zajistit, aby na adrese odpovídající číslu přerušení byla uložena adresa, na níž začíná obslužná rutina.
- Posloupnost kroků:
 1. Vznik požadavku: je generován některým adaptérem.
 2. Předání požadavku: požadavek se předává pomocí linky IRQx systémové sběrnice.
 3. Reakce řadiče přerušení: Řadič přerušení reaguje na tuto situaci generováním signálu INTR do procesoru.
 4. Reakce procesoru: Procesor reaguje posláním 2 pulsů INTA do řadiče přerušení.

5. Typ přerušení: První puls INTA je tzv. **potvrzovací**, během druhého signálu pak řadič přerušení posílá přes datovou sběrnici osmibitovou hodnotu reprezentující typ **přerušení**.
6. Výpočet ukazatele do tabulky přerušení: Procesor přepočítá typ přerušení na ukazatel do tabulky přerušení - **4 x typ přerušení** - a po adresové sběrnici vyšle adresu položky, na které jsou 4 slabiky ukazatele na obslužný program přerušení.

Funkce řadiče přerušení - shrnutí:

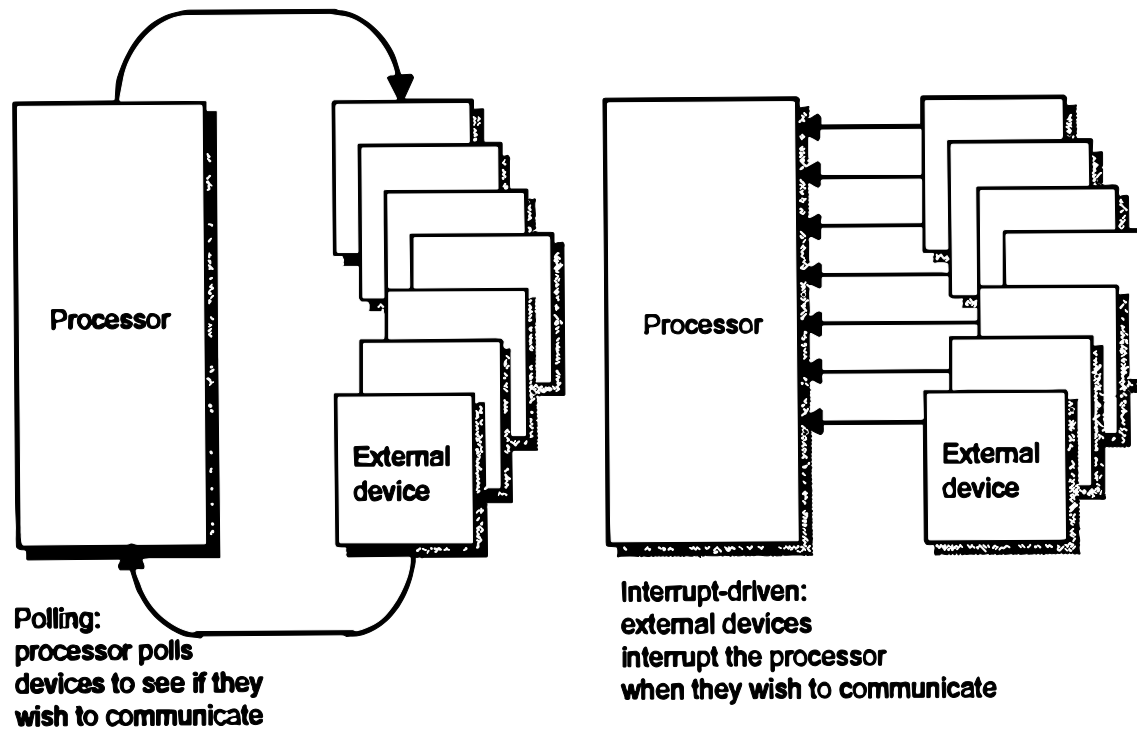
- Sloučení různých požadavků na přerušení od různých zdrojů (IRQ) do jednoho požadavku předkládaného procesoru.
- Rozlišení různých požadavků - procesoru se vrací jednoznačný byte typu přerušení - to je odkaz do tabulky přerušovacích vektorů.
- Stanovení priority požadavků => může se rozhodnout, který typ se vrátí procesoru, je-li více požadavků aktivních současně.
- **Pozn. - softwarová přerušení:**
U softwarových přerušení (instrukce INT *číslo*), představuje "*číslo*" odkaz do tabulky přerušovacích vektorů).

Shrnutí dvou principů řízení periferních operací

- Jak při programové obsluze, tak při obsluze pomocí přerušení se periferní operace provádějí autonomně v tom smyslu, že jejich průběh není řízen procesorem.
- Odlišnost - způsob, jakým je o ukončení operace informován procesor.

Programová obsluha - procesor musí neustále **testovat** stav bitu "konec operace".

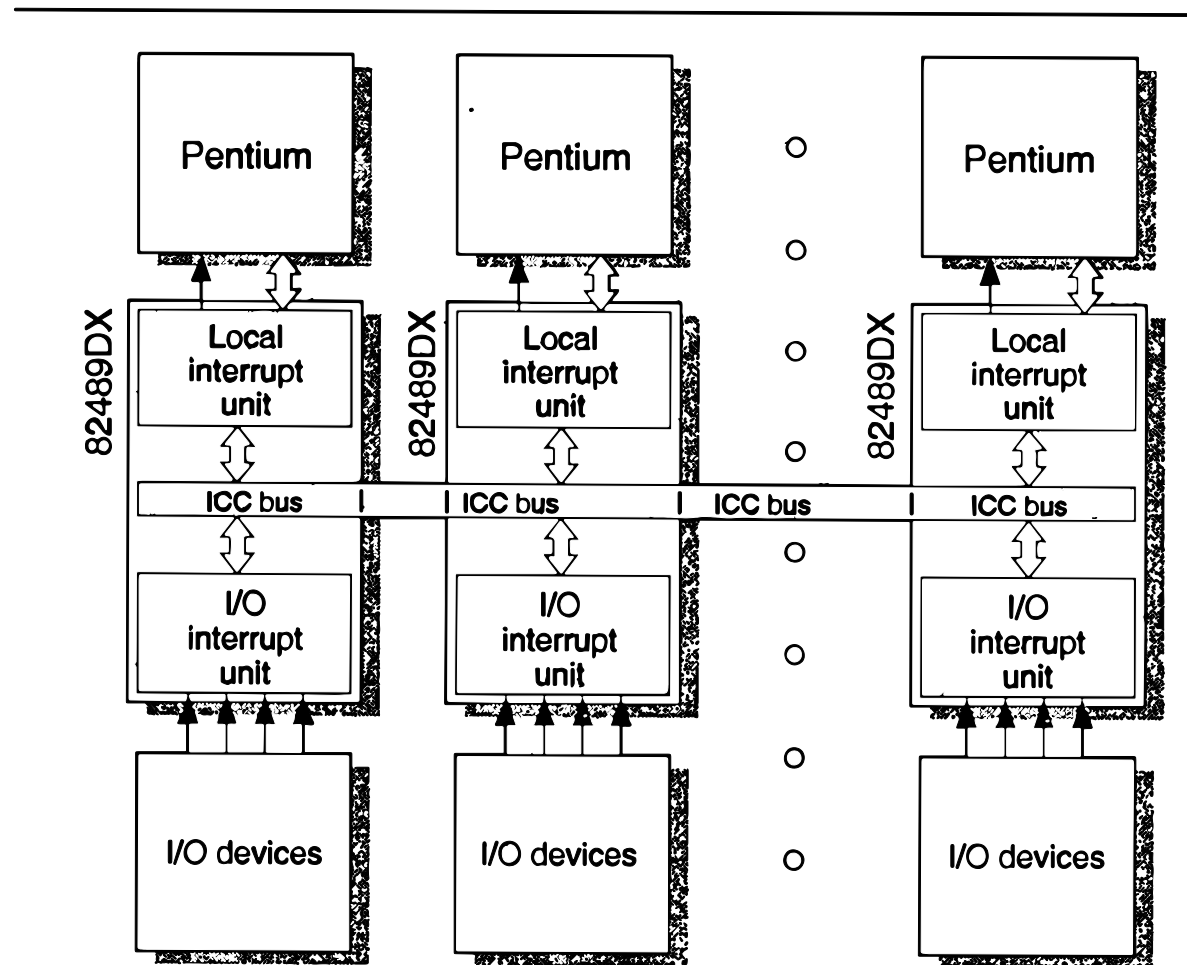
Obsluha pomocí přerušení - adaptér generuje po skončení operace **požadavek na přerušení**.



Obr. 5 Programová obsluha a obsluha pomocí přerušení

Řešení problému přerušení ve vyšších typech procesorů

- V jisté fázi vývoje PC vyvinula firma Intel řadič přerušení **Advanced Programmable Interrupt Controller – APIC 82498DX**.
- Řadič 82498DX byl v začátcích vyráběn pro frekvence **33 MHZ**, později **55 Mhz** (v současnosti i pro vyšší frekvence) – **rozdíl oproti frekvencím procesorů**.
- Všechny vnitřní registry tohoto řadiče byly 32 bitové (na rozdíl od 8 bitových registrů dřívějších řadičů).
- Firma Intel doporučovala, aby registry APIC byly mapovány do adresového prostoru operační paměti – zvýšil se tím výkon.
- Řadič APIC 82498DX byl vyráběn v pouzdře se 132 vývody.
- Architektura řadiče 82498DX je založena na alternativě použití tohoto prvku v multiprocesorových aplikacích.



Obr. 6 Využití řadiče přerušení APIC 82498DX v multiprocessorové aplikaci

- V řadiči je **local interrupt unit** (lokální jednotka přerušení) a **I/O interrupt unit** (V/V jednotka přerušení).
- Lokální jednotka je napojena na lokální („svůj“) procesor, V/V jednotka přerušení je přes sběrnici ICC spojena s ostatními lokálními jednotkami přerušení.
- Pokud není lokální jednotka přerušení v okamžiku vzniku přerušení volná, může V/V jednotka svůj požadavek na přerušení **přenést na jinou než svou lokální jednotku přes sběrnici ICC.**
- V takové konfiguraci není procesor obsluhující požadavek na přerušení přerušen, pokud vznikne další požadavek na přerušení v jeho řadiči přerušení, ten je obslužen v jiném procesoru (jsou pochopitelně zvažovány priority).